

[First Hit](#)   [Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)**End of Result Set**

Generate Collection

Print

L1: Entry 1 of 4

File: JPAB

Aug 9, 2002

PUB-NO: JP02002223076A

DOCUMENT-IDENTIFIER: JP 2002223076 A

TITLE: MULTILAYER WIRING BOARD

PUBN-DATE: August 9, 2002

## INVENTOR-INFORMATION:

NAME

COUNTRY

OGAWA, KOJU

INT-CL (IPC): H05 K 3/46; H05 K 1/18

## ABSTRACT:

PROBLEM TO BE SOLVED: To provide a multilayer wiring board, with which an electric characteristic between an electronic component integrally included in a substrate and an IC chip or the like mounted on a first main surface, and the electronic component and the IC chip can be normally operated at high speed.

SOLUTION: This multilayer wiring board 1 include a substrate 2 having insulating layers 3, 4, 5 and wiring layers 6, 7, which are alternately laminated, a front surface 4a and a rear surface 5a, a throughhole 8, which penetrates between the front surface 4a and the rear surface 5a of this substrate 2, a chip capacitor (electronic component) 10 filled in the throughhole 8 via an embedded resin 9, and built-up layers BU1, BU2, which are formed above the front and rear surfaces 4a, 5a of the substrate 2 and include resin insulating layers 18, 24, 19, 25 and wiring layers 22, 23. An electrode 11 of the chip capacitor 10 and the wiring layer 16 are connected in the front surface 4a (front surface 9c of the resin insulating layer 9). A solder bump (terminal) 28 protruded higher than a first main surface 26 is formed on the wiring layer 22.

COPYRIGHT: (C)2002, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L1: Entry 3 of 4

File: DWPI

Aug 9, 2002

DERWENT-ACC-NO: 2002-649463

DERWENT-WEEK: 200270

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Multilayer wiring board for mounting capacitor, has electrodes, wiring layers which are connected in substrate surface

PRIORITY-DATA: 2001JP-0019144 (January 26, 2001)

Search Selected

Search ALL

Clear

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> <u>JP 2002223076 A</u>	August 9, 2002		011	H05K003/46

INT-CL (IPC): H05 K 1/18; H05 K 3/46

ABSTRACTED-PUB-NO: JP2002223076A

## BASIC-ABSTRACT:

NOVELTY - A capacitor (10) is provided to a hole (8) of a substrate (2) comprising the alternately arranged insulating layers (3-5) and the wiring layers (6,7) through a resin (9). The build up layers (BU1,BU2) are provided on either sides of the substrate. The electrodes (11) of the capacitor and a wiring layer (16) of the build up layer are connected in the substrate surface.

USE - For mounting electronic components such as capacitor.

ADVANTAGE - Reduces loop inductance in connection path, and cross-talk is eliminated. The capacitor is operated at reliable velocity.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the multilayer wiring board. (Drawing includes non-English language text).

Substrate 2

Insulating layers 3-5

Wiring layers 6,7

Hole 8

Resin 9

capacitor 10

Electrodes 11

Wiring layer 16

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-223076

(P2002-223076A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51) IntCl<sup>7</sup>

H05K 3/46

1/18

識別記号

F I

H05K 3/46

1/18

テーム(参考)

Q 5E336

B 5E346

L

審査請求 未請求 請求項の数2 OL (全11頁)

(21) 出願番号 特願2001-19144(P2001-19144)

(22) 出願日 平成13年1月26日(2001.1.26)

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市長区瑞穂区高辻町14番18号

(72) 発明者 小川 幸樹

愛知県名古屋市長区瑞穂区高辻町14番18号 日

本特殊陶業株式会社内

(74) 代理人 100098615

弁理士 鈴木 学

Fターム(参考) 5E336 AA04 AA14 BB03 BC34 CC31

CC55 CC58 EE03

5E346 AA04 AA41 CC04 CC09 CC32

DD02 DD25 DD32 EE04 EE06

EE33 FF01 FF04 FF15 GG08

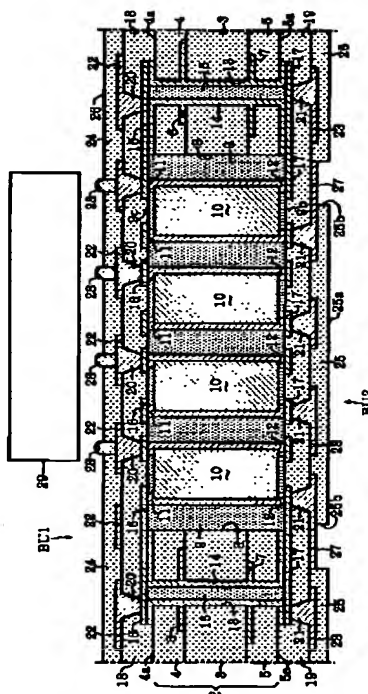
GG17 GG22 HH02 HH04 HH05

(54) 【発明の名称】 多層配線基板

(57) 【要約】

【課題】 基板に内蔵する電子部品と第1主面に実装されるICチップなどとの間における電気的特性を高め、かかる電子部品やICチップを正常且つ高速度にて動作させ得る多層配線基板を提供する。

【解決手段】 絶縁層3、4、5と配線層6、7とを交互に積層し且つ表面4aおよび裏面5aを有する基板2と、この基板2の表面4aと裏面5aとの間を貫通する貫通孔8と、かかる貫通孔8に埋込樹脂9を介して内蔵されるチップコンデンサ(電子部品)10と、基板2の表・裏面4a、5aの上方に形成され且つ樹脂絶縁層18、24、19、25および配線層22、23とを含むビルドアップ層BU1、BU2と、を備え、チップコンデンサ10の電極11と配線層16とは、基板2の表面4a(樹脂絶縁層9の表面9c)において接続されていると共に、配線層22の上には第1主面26よりも高く突出するハンダバンプ(端子)28が形成されている、多層配線基板1。



## 【特許請求の範囲】

【請求項1】絶縁層と配線層とを交互に積層し且つ表面および裏面を有する基板と、

上記基板の表面と裏面との間を貫通する貫通孔、あるいは表面または裏面に開口する凹部と、

上記貫通孔または凹部に埋込樹脂を介して内蔵される電子部品と、

上記基板の表面および裏面の少なくとも一方の上方に形成され且つ樹脂絶縁層と配線層とを含むビルドアップ層と、を備え、

上記電子部品の電極と上記ビルドアップ層の配線層とは、上記基板の表面において接続されている、

ことを特徴とする多層配線基板。

【請求項2】前記基板の表面の上方における前記ビルドアップ層は、その配線層と当該ビルドアップ層の第1主面に実装されるICチップなどの半導体素子とを接続する端子を上記第1主面付近に有する、

ことを特徴とする請求項1に記載の多層配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板の貫通孔などに埋込樹脂を介して電子部品を内蔵する多層配線基板に関する。

## 【0002】

【従来の技術】近年における配線基板の小型化および基板内における配線の高密度化に対応するため、配線基板の第1主面上にICチップなどの電子部品を搭載するだけでなく、基板の内部に電子部品を内蔵する多層配線基板が提案されている。例えば図8に示す多層配線基板70は、絶縁性の基板(コア基板)71の表・裏面72、73の間を貫通する貫通孔76内に埋込樹脂77を介して複数のチップ状電子部品78を内蔵している。かかる電子部品78は、図8に示すように、一対の側面から上・下に突出する電極79a、79bをそれぞれ対称に複数個有している。かかる電極79a、79bは、基板71の表・裏面72、73に形成される配線層80、81と個別に接続されている。

【0003】また、図8に示すように、基板71には、その表・裏面72、73間を貫通する複数のスルーホール74内にスルーホール導体75および充填樹脂75aが個別に形成され、スルーホール導体75は、その上下端で配線層80、81と個別に接続される。基板71の表面72および配線層80の上には、樹脂絶縁層82、88、94、配線層86、92、およびビア導体84、90を含むビルドアップ層が形成されている。最上層の絶縁層(ソルダーレジスト)94には、これを貫通し且つ配線層92上から第1主面94aよりも高く突出するハンダパンパ96が複数形成されている。かかるパンパ96は、図8に示すように、第1主面94aに実装されるICチップ(半導体素子)98と端子と個別に接続され

る。

【0004】更に、図8に示すように、基板71の裏面73および配線層81の下には、樹脂絶縁層83、89、95、配線層87、93、およびビア導体85、91を含むビルドアップ層が形成されている。最下層の絶縁層(ソルダーレジスト)95には、第2主面95a側に開口する複数の開口部97が形成され、配線層93から延びて各開口部97内で露出する配線99は、表面にNiおよびAuメッキが被覆され、当該配線基板70自体を搭載する図示しないマザーボードなどとの接続用端子として用いられる。

## 【0005】

【発明が解決すべき課題】ところで、多層配線基板70では、図8に示すように、基板71に内蔵した電子部品78の電極79aと第1主面94aに実装されるICチップ98との間には、配線層80、86、92、ビア導体84、90、およびハンダパンパ96からなる長い導通経路が介在している。このため、かかる導通経路におけるループインダクタンスが増加することにより、スイッチングノイズやクロストークノイズが生じ易くなり、電子部品78やICチップ98が誤動作を生じるおそれがある、という問題があった。本発明は、以上に説明した従来の技術における問題点を解決し、基板に内蔵する電子部品と第1主面に実装されるICチップなどとの間における電気的特性を高め、かかる電子部品やICチップなどを正常で且つ高速度にて作動させ得る多層配線基板を提供する、ことを課題とする。

## 【0006】

【課題を解決するための手段】本発明は、上記の課題を解決するため、基板に内蔵する電子部品と実装されるICチップなどとの間における導通経路を可及的に短くする、ことに着想して成されたものである。即ち、本発明の多層配線基板は、絶縁層と配線層とを交互に積層し且つ表面および裏面を有する基板と、この基板の表面と裏面との間を(複数の絶縁層に跨がって)貫通する貫通孔、あるいは表面または裏面に(複数の絶縁層に跨がるようにして)開口する凹部と、上記貫通孔または凹部に埋込樹脂を介して内蔵される電子部品と、上記基板の表面および裏面の少なくとも一方の上方に形成され且つ樹脂絶縁層と配線層とを含むビルドアップ層と、を備え、上記電子部品の電極と上記ビルドアップ層の配線層とは、上記基板の表面において接続されている、ことを特徴とする。また、前記基板の表面の上方における前記ビルドアップ層は、その配線層と当該ビルドアップ層の第1主面に実装されるICチップなどの半導体素子とを接続する端子を上記第1主面付近に有する、多層配線基板も本発明に含まれる。

【0007】これらによれば、全体の厚みがほぼ同じで且つ内部の配線層の層数が同一である場合、単一の基板(コア基板)に電子部品を内蔵する前記図8に示した多層

配線基板70に比べ、電子部品の電極と第1主面に実装されるICチップなどとの導通経路を可及的に短くできる。この結果、かかる導通経路におけるルーブインダクタンスを低減できるため、スイッチングノイズやクロストークノイズを低減できるなどの電気的特性を高めることが可能となる。従って、内蔵した電子部品や実装されるICチップなどを正常且つ高速度により動作させ得る多層配線基板とすることができる。尚、本明細書において、基板の表面とは、絶縁層または埋込樹脂の表面を指し、基板の裏面とは、絶縁層または埋込樹脂の裏面を指す。

【0008】付言すれば、絶縁層と配線層とを交互に積層し且つ表面および裏面を有する基板と、この基板の表面と裏面との間を(複数の絶縁層に跨がって)貫通する貫通孔、あるいは表面または裏面に(複数の絶縁層に跨がるようにして)開口する凹部と、上記貫通孔または凹部に埋込樹脂を介して内蔵される電子部品と、上記基板の表面および裏面の少なくとも一方の上方に形成され且つ樹脂絶縁層と配線層とを含むビルドアップ層と、を備え、上記電子部品の電極と上記ビルドアップ層の配線層とは、上記基板における埋込樹脂の表面において接続されている、多層配線基板を本発明に含めることも可能である。また、前記基板は、絶縁層本体の表面および裏面に配線層と絶縁層とを交互に積層している、多層配線基板を本発明に含めることも可能である。上記絶縁層本体は、いわゆるコア基板であり、かかる多層構造の基板を用いることにより、配線の高密度化と内蔵する電子部品などの正常な動作とを図ることが可能となる。

【0009】尚、貫通孔は、多層構造の基板に対しレーザ加工やドリル加工することにより形成される。一方、凹部は、多層構造の基板を形成する絶縁層や配線層をエンドミルを用いるルータ加工により形成したり、あるいは予めルータ加工またはレーザ加工した絶縁層を別の絶縁層や配線層と積層することによっても形成できる。尚また、前記電子部品には、コンデンサ、インダクタ、抵抗、フィルタなどの受動部品や、ローノイズアンプ(LNA)、トランジスタ、半導体素子、FETなどの能動部品、SAWフィルタ、LCフィルタ、アンテナスイッチモジュール、カプラ、ダイプレクサなどや、これらをチップ状にしたものが含まれるがこれらに限らない。また、これらのうちで異種の電子部品同士を同じ貫通孔や凹部内に内蔵しても良い。更に、電子部品には、基板の表面または裏面の一方にのみ電極を有する形態も含まれる。

【0010】付言すれば、前記貫通孔または凹部は、平面視でほぼ矩形形状であり、その側壁間のコーナにアール面または面取りが形成されている、配線基板を本発明に含めることも可能である。これによる場合、前記貫通孔または凹部の側壁同士間のコーナ部における基板と埋込樹脂との密着性も向上し且つ安定させることができるの

で、かかるコーナ付近における隙間やクラックの発生を確実に防止することができる。尚、凹部における側壁と底面との間のコーナにも、アール面や面取りを形成しても良い。

【0011】尚更に、前記貫通孔の側壁または凹部の側壁および底面には、予め有機化合物(カップリング剤)が塗布されている、配線基板を本発明に含めることも可能である。これによる場合も、基板と埋込樹脂との密着性をより一層向上させることが可能となる。尚、かかる有機化合物(カップリング剤)には、チタン系、アルミニウム系、シラン系の何れかからなる有機系化合物、またはこれら有機系化合物の混合物が含まれる。これらにより、基板と埋込樹脂との界面における両者の密着性と水分不透過性とを一層確実にすることができる。上記混合物には、チタン系とアルミニウム系、チタン系とシラン系、アルミニウム系とシラン系、チタン系とアルミニウム系とシラン系、チタン系と別のチタン系、アルミニウム系と別のアルミニウム系、シラン系と別のシラン系、あるいはこれらの3種以上の組合せによる種類などが含まれる。

【0012】

【発明の実施の形態】以下において本発明の実施に好適な形態を図面と共に説明する。図1は、本発明の1形態の多層配線基板1における主要部の断面を示す。多層配線基板1は、図1に示すように、絶縁層3、4、5とこれらの間に位置する配線層6、7からなる基板2と、その表面4a上および裏面5a下に形成した配線層16、22、17、23、および樹脂絶縁層18、24、19、25からなるビルドアップ層BU1、BU2とを有する。上記配線層16などの厚さは約15 $\mu$ m程度であり、樹脂絶縁層18などの厚さは約30 $\mu$ m程度である。基板2は、平面視がほぼ正方形で且つ全体の厚みが約0.8mmであり、ガラス布入りのエポキシ樹脂からなる絶縁層(コア基板、絶縁層本体とも言う)3と、その上下に積層したシリカフィラなどの無機フィラ入りのエポキシ系樹脂からなる絶縁層4、5と、これらの間に位置する銅製の配線層6、7とからなる多層構造を有する。

【0013】また、基板2の中央部をドリル加工やレーザ加工することにより、図1に示すように、平面視がほぼ正方形で一辺が12mmの貫通孔8が穿孔されている。尚、貫通孔8の側壁の表面粗さは、中心線平均粗さRaで0.5~5.0 $\mu$ mの範囲であって、十点平均粗さRzで5.0~30.0 $\mu$ mの範囲に入るようにするのが望ましい。このため、ドリル加工などの後、貫通孔8の側壁に対し必要に応じて過マンガン酸カリウムやクロム酸による化学的粗化処理が施される。これにより、基板2と後述する埋込樹脂9との密着性を高めることができる。

【0014】尚また、貫通孔8の側壁に対して、更に有

機化合物(カップリング剤:チタン系、アルミニウム系、シラン系の何れかからなる有機系化合物、またはこれら有機系化合物の混合物)を塗布しても良い。上記有機化合物には、チタン系、アルミニウム系、シラン系の何れかからなる有機系化合物、またはこれら有機系化合物の混合物が含まれる。更に、かかる有機化合物の厚みは、約0.5 $\mu$ m以下(但し0は含まず)にして被覆するのが望ましい。厚さを0.5 $\mu$ m以下としたのは、これよりも厚くなると、表面にゼリー状の固まりが生じ、有機系化合物による密着性や防水作用が低下するためである。更に望ましくは、有機系化合物は、厚さ約0.2 $\mu$ m以下(但し0は含まず)の皮膜にして被覆するのが望ましい。これにより、表面にゼリー状の固まりが生じにくくなり、より一層の密着性が得られるためである。かかる有機系化合物は、貫通孔8の側壁や基板2の表・裏面4a、5aと共に、貫通孔8に内蔵されるチップコンデンサ(電子部品)10の表面にも被覆されていても良い。

【0015】尚さらに、貫通孔8における側壁間のコーナには、面取りまたはアール面を形成しても良い。これにより、チップコンデンサ10を埋設した埋込樹脂9を脱泡処理後に加熱しても、貫通孔8のコーナに応力集中が発生しにくくなり、かかる面取りまたはアール面を含む各側壁の前記表面粗さと相まって、基板2と埋込樹脂9との密着性を更に高められる。

【0016】また、基板2の貫通孔8内には、シリカフィラなどの無機フィラを含むエポキシ系の埋込樹脂9を介して、複数のチップコンデンサ(電子部品)10が内蔵されている。かかる埋込樹脂9の体積熱膨張係数は、40ppm/°C以下、好ましくは30ppm/°C以下、より好ましくは15ppm/°C以下であり、且つその下限値としては10ppm/°C以上である。これにより、多層配線基板1に内蔵された電子部品10と配線基板1の表面に実装されるICチップ(半導体素子)との熱膨張係数の差に起因する応力集中を少なくすることが可能となり、クラックの発生防止に役立つ。尚、無機フィラとしては、特に制限しないが、結晶性シリカ、溶融シリカ、アルミナ、または窒化ケイ素などが用いられる。

【0017】また、チップコンデンサ10は、両側面において上下端に突出し且つ基板2の表面4aまたは裏面5aに位置する複数の電極11、12を対称に有する。かかるチップコンデンサ10は、例えばチタン酸バリウムを主成分とする誘電層と内部電極となるNi層とを交互に積層したセラミックスコンデンサであり、3.2mm×1.6mm×0.7mmのサイズを有する。図1に示すように、貫通孔8の周囲には、所要のスペースを置いて基板2の表・裏面4a、5a間を貫通する複数のスルーホール13が穿孔され、その内部に銅メッキからなるスルーホール導体14およびシリカフィラを含む充填樹脂15がそれぞれ形成されている。各スルーホール導体14は、その中間で基板2の配線層6、7と接続され

ている。尚、充填樹脂15に替え、多量の金属粉末を含む導電性樹脂、または金属粉末を含む非導電性樹脂を用いても良い。

【0018】図1に示すように、基板2の表面4aと埋込樹脂9の表面9cの上には、銅メッキからなる配線層16と、シリカフィラを含むエポキシ樹脂からなる樹脂絶縁層18とが形成されている。配線層16は、チップコンデンサ10の電極11およびスルーホール導体14の上端と接続される。また、図1に示すように、絶縁層18内の所定の位置には、複数のフィルドビア導体20が形成され、これらのビア導体20の上端と絶縁層18の上には配線層22が形成されている。尚、本実施形態において、基板2の表面とは、絶縁層4の表面4aまたは埋込樹脂9の表面9cを指す。

【0019】配線層22の上には、ソルダーレジスト層(絶縁層)24と、これを貫通し且つ第1主面26よりも高く突出する複数のハンダパンパ(IC接続端子(Pb-Sn系、Sn-Ag系、Sn-Sb系、Sn-Zn系など))28とが形成される。以上の配線層16、22および樹脂絶縁層18、24は、ビルドアップ層BU1を形成する。また、上記ハンダパンパ28は、第1主面26上に実装されるICチップ(半導体素子)29の底面に突設された図示しない接続端子と個別に接続される。尚、ICチップ29の接続端子およびハンダパンパ28の周囲には、これらを埋設するようにICチップ29と第1主面26との間に図示しないアンダーフィル材が充填される。

【0020】図1に示すように、基板2の裏面5aおよび埋込樹脂9の裏面9bの下にも銅メッキからなる配線層17とシリカフィラ入りエポキシ樹脂からなる樹脂絶縁層19とが形成されている。配線層17は、チップコンデンサ10の電極12およびスルーホール導体14の下端と接続されている。尚、本実施形態において、基板2の裏面とは、絶縁層5の裏面5aまたは埋込樹脂9の裏面9bを指す。また、樹脂絶縁層19の所定の位置には、複数のフィルドビア導体21が形成され、かかるビア導体21の下端と絶縁層19の下には配線層23が形成されている。配線層23の下には、ソルダーレジスト層(絶縁層)25が形成され、第2主面25a側に開口する開口部25b内に露出する配線層23内の配線27は、その表面にNiおよびAuメッキが被覆され、当該配線基板1自体を搭載する図示しないプリント基板などのマザーボードとの接続端子となる。以上の配線層17、23および樹脂絶縁層19、25は、ビルドアップ層BU2を形成する。尚、基板2を挟んだ上下の配線層16、17は、スルーホール導体14を介して導通する共に、各チップコンデンサ10の電極11、12を介しても導通している。

【0021】以上のような多層配線基板1によれば、基板2の貫通孔8に内蔵したチップコンデンサ10の電極

11と第1主面26に実装されるICチップ29との間には、配線層16、22、ビア導体20、およびハンダバンパ28からなる比較的短い導通経路が介在している。このため、全体の厚みがほぼ同じで且つ配線層の層数が同一の場合、前記図8に示した従来の多層配線基板70に比べて、多層配線基板1は、上記の各導通経路におけるループインダクタンスが低減する。この結果、スイッチングノイズやクロストークノイズが生じにくくなるなどの電氣的特性が高められるので、チップコンデンサ10やICチップ29を正常且つ高速度により動作させることができる。しかも、チップコンデンサ10を多層構造の基板2に内蔵したので、コア基板3を例えば500 $\mu$ m未満と薄肉化し且つ当該基板2に配線層6、7を内蔵したので、配線を高密度化し且つ全体を小型化する要求にも容易に対応することが可能となる。

【0022】尚、基板2の絶縁層4、5には、配線層6、16間または配線層7、17間を接続するビア導体を形成しても良い。また、本実施形態において、ビア導体はフィールドビア導体20などでなく、完全に導体で埋まってないコンフォーマルビア導体とすることもできる。前記基板2の構造によれば、図1に示すように、スルーホール導体14が絶縁層4、5を貫通するため、その直上(図1で上側/下側)にビア導体20、21を形成可能となるので、かかるスルーホール導体14の部分(絶縁層4、5の貫通部分)にフィールドビア導体を形成して、スタックドビア(積み上げビア)構造とする必要がなくなる。これにより、フィールドビア導体を絶縁層4、5に形成する必要がなく、ビア形成のコストを低減することもできる。

【0023】図2乃至図5に基づいて、前記配線基板1の主要な製造工程を説明する。図2(A)に示すように、表・裏面に厚さ16 $\mu$ mの銅箔3a、3bを有する厚さ0.45mmのガラスエポキシ樹脂からなるコア基板(絶縁層)3を用意する。次に、銅箔3a、3b上に所定のパターンを有する図示しないエッチングレジストを形成した後、エッチング(公知のサブトラクティブ法)を施す。この結果、図2(B)に示すように、コア基板3の表・裏面に所定パターンの配線層6、7が形成される。次いで、コア基板3の表・裏面および配線層6、7を粗化した後、これらの上に厚さ600 $\mu$ mで且つシリカフィラ入りのエポキシ系樹脂のフィルムを熱圧着により貼り付ける。この結果、図2(C)に示すように、コア基板3の上下に絶縁層4、5が形成される。これにより、多層構造の基板2が得られる。

【0024】更に、図2(C)に示すように、基板2の絶縁層4側からレーザLs(本形態ではCO<sub>2</sub>レーザ)を所定の位置に照射する。この結果、図2(D)に示すように、直径350 $\mu$ mの複数のスルーホール13が基板2の表・裏面4a、5a間を貫通して形成される。次に、各スルーホール13の内壁および絶縁層4、5の表・裏

面4a、5aに対して、無電解銅メッキおよび電解銅メッキを施す。かかるメッキは、当該基板2を含む多数個取り用のパネルにおける複数の製品単位(多層配線基板1)に対して施される。この結果、図3(A)に示すように、各スルーホール13の内壁に沿って厚さ18 $\mu$ mのスルーホール導体14が形成されると共に、絶縁層4、5の表・裏面4a、5aに銅メッキ層4b、5bが形成される。更に、図3(B)に示すように、スルーホール導体14の内側の中空部に充填樹脂15を充填する。

10 【0025】更に、図3(C)に示すように、基板2の中央部をドリル加工して、縦12mm×横12mmの貫通孔8を穿設する。この際、貫通孔8における側壁間のコーナに、面取りまたはアール面を同時に形成しても良い。また、貫通孔8の側壁に対し、必要に応じて化学的粗化処理を施すことにより、表面粗さが中心線平均粗さRaで0.5~5.0 $\mu$ mの範囲で、且つ十点平均粗さRzで5.0~30.0 $\mu$ mの範囲に入るようにしても良い。更に、かかる貫通孔8の側壁に対し有機化合物(カップリング剤)を塗布しても良い。次に、図3(C)に示すように、基板2を180°回転し、表・裏面4a、5aを上下逆にした状態で、貫通孔8の表面4a側に、当該基板2を含む多数個取り用のパネルにおける複数の製品単位(多層配線基板1)に跨ってテープTを貼り付ける。かかるテープTの粘着面は、貫通孔8側に向けられている。

20 【0026】次いで、図4(A)に示すように、複数のチップコンデンサ10を図示しないチップマウントを用いて貫通孔8内に挿入すると共に、各チップコンデンサ10の電極11をテープTの粘着面上における所定の位置に接着する。図示のように、各チップコンデンサ10における電極11、12の端面は、基板2の表・裏面4a、5a付近に位置している。かかる状態で、図4(B)に示すように、基板2の裏面5a側から貫通孔8内に、エポキシ樹脂を主成分とする溶けた埋込樹脂9を充填した後、脱泡処理および約100℃に加熱して約60分保持する硬化処理を施す。次いで、埋込樹脂9の盛り上がった裏面9aを、例えばバフ研磨などにより平坦に整面する。この結果、図4(C)に示すように、各チップコンデンサ10の電極12が露出する平坦な裏面9bが形成される。また、図示のように、テープTを剥離すると、埋込樹脂9の表面9cには各チップコンデンサ10の電極11がそれぞれ露出する。尚、表面9cも上記同様に整面すると各電極11を確実に露出させ得る。

40 【0027】更に、図5(A)に示すように、銅メッキ層4b、5bおよび埋込樹脂9の表・裏面9b、9cに涉って、銅メッキ層16a、17aを形成する。尚、図5(A)では、基板2は再度180°回転され、表・裏面4a、5aが逆になっている。次に、かかる銅メッキ層16a、17aの上に、所定パターンの図示しないエッチングレジストを形成し、且つエッチングを施す。この結



果、図5(B)に示すように、基板2の表・裏面4a、5a上に所定パターンの配線層16、17が形成される。配線層16、17は、チップコンデンサ10の電極11、12と接続され、且つ各スルーホール導体8の上下端とも接続される。同時に、スルーホール導体8の内側の充填樹脂15は蓋メッキされると共に、埋込樹脂9の表・裏面9c、9b(基板2の表・裏面)が露出する。尚、図5(B)において、配線層16、17は、前記銅メッキ層4b、5bのうちで残留した部分を含んでいる。【0028】次いで、図5(C)に示すように、配線層16、17の上/下に、エポキシ樹脂のフィルムを熱圧着により貼り付けて樹脂絶縁層18、19を形成する。かかる絶縁層18、19における所定の位置には、フォトリソグラフィ技術などにより底面に配線層16、17が露出するビアホール20a、21aが形成され、且つこれらの内側に前記フィールドビア導体20、21が充填・形成される。これ以降は、ビルドアップ層BU1、BU2を形成する配線層22、23、および樹脂絶縁層24、25を、公知のビルドアップ工程(セミアディティブ法、フルアディティブ法、サブトラクティブ法、フィルム状樹脂材料のラミネートによる絶縁層の形成、フォトリソグラフィ技術など)により形成する。これにより、前記図1に示した多層配線基板1を得ることができる。

【0029】図6は、異なる形態の多層配線基板30における主要部の断面を示す。多層配線基板30は、図6に示すように、絶縁層33、34、35とこれらの間に位置する配線層36、37からなる基板32と、その表面34a上および裏面35a下に形成した配線層46、52、47、53、および樹脂絶縁層48、54、49、55とからなるビルドアップ層BU3、BU4とを有する。基板32は、平面視がほぼ正方形で且つ全体の厚み約0.8mmであり、ガラス布入りエポキシ樹脂からなるコア基板(絶縁層)33と、その上下に積層したシリカフィラなどの無機フィラ入りエポキシ系樹脂からなる絶縁層34、35と、これらの間に位置する銅製の配線層36、37からなる多層構造を有する。尚、本実施形態において、基板32の表面とは、絶縁層34の表面34aまたは後述する埋込樹脂39の表面を指す。

【0030】図6に示すように、基板32における絶縁層33、34の中央付近には、基板32の表面34a側に開口した凹部38が形成されている。凹部38は、平面視がほぼ正方形で一辺が12mmのサイズであり、絶縁層33、34をドリル加工した後、絶縁層35を圧着するか、基板32の表面34a側からエンドミルによるルータ加工を、絶縁層33、34の合計厚さ分で行うことにより形成される。尚、凹部38の側壁および底面も、前記貫通孔8と同様の表面粗さにしたり、前記有機化合物を被覆しても良く、そのコーナを面取りやアール面としても良い。

【0031】また、図6に示すように、凹部38には、前記同様の埋込樹脂39を介して、複数のチップコンデンサ(電子部品)40が内蔵されている。このコンデンサ40は、両側面において上端側だけに突出し且つ基板32の表面34a、即ち埋込樹脂39の表面に位置する電極41を対称に複数有する。かかるコンデンサ40も、前記同様のセラミックコンデンサである。更に、図6に示すように、凹部38の周囲には、所要のスペースを置いて基板32の表・裏面34a、35a間を貫通する複数のスルーホール43が穿設され、その内側に銅製のスルーホール導体44と充填樹脂45とが形成されている。各スルーホール導体44は、その中間で配線層36、37と接続されている。

【0032】図6に示すように、基板32の表面34a上には、銅製の配線層46と、シリカフィラを含むエポキシ樹脂からなる樹脂絶縁層48とが形成され、配線層46は、チップコンデンサ40の電極41およびスルーホール導体44の上端と接続される。また、図6に示すように、絶縁層48内の所定の位置には、複数のフィールドビア導体50が形成され、これらのビア導体50の上端と絶縁層48の上には配線層52が形成されている。この配線層52の上には、ソルダーレジスト層(絶縁層)54と、これを貫通し且つ第1主面56よりも高く突出する複数のハンダパンパ(端子)58とが形成される。以上の配線層46、52および樹脂絶縁層48、54は、ビルドアップ層BU3を形成する。上記ハンダパンパ58は、第1主面56上に実装されるICチップ(半導体素子)29の底面に突設された図示しない接続端子と個別に接続される。尚、ICチップ29の接続端子およびハンダパンパ58の周囲には、これらを埋設するようにICチップ29と第1主面56との間に図示しないアンダーフィル材が充填される。

【0033】図6に示すように、基板32の裏面35a下にも、銅製の配線層47とシリカフィラ入りエポキシ樹脂からなる樹脂絶縁層49とが形成されている。配線層47は、スルーホール導体44の下端と接続されている。また、絶縁層49の所定の位置には、複数のフィールドビア導体51が形成され、かかるビア導体51の下端と絶縁層49の下には配線層53が形成されている。配線層53の下には、ソルダーレジスト層(絶縁層)55が形成され、第2主面55a側に開口する開口部57内に露出する配線層53内の配線59は、その表面にNiおよびAuメッキが被覆され、当該配線基板30自体を搭載する図示しないマザーボードとの接続端子となる。以上の配線層47、53および樹脂絶縁層49、55は、ビルドアップ層BU4を形成する。尚、基板32を挟んだ上下の配線層46、47は、スルーホール導体44を介して導通し、チップコンデンサ40の電極41は、配線層46およびスルーホール導体44を介して裏面35aの配線層47、53と導通している。



【0034】以上のような配線基板30によれば、基板32の凹部38に内蔵したチップコンデンサ40の電極41と第1主面56に実装されるICチップ29との間には、配線層46、52、ビア導体50、およびハンダバンパ58からなる比較的短い導通経路が介在している。このため、前記図8の従来の多層配線基板70に比べて、かかる導通経路におけるルーピングインダクタンスが低減する。この結果、スイッチングノイズやクロストークノイズが生じにくくなるなどの電気的特性が高められるので、チップコンデンサ40やICチップ29を正常且つ高速度により動作させることができる。尚、基板32の前記絶縁層34、35には、配線層36、46間または配線層37、47間を接続するビア導体を形成しても良い。

【0035】図7は、前記配線基板30の応用形態の多層配線基板30aにおける主要部の断面を示す。かかる配線基板30aは、図7に示すように、前記と同じ基板32と、その表面34a上および裏面35a下に形成した配線層46、52、47、53、および樹脂絶縁層48、54、49、55とからなるビルドアップ層BU3、BU4と、を有する。絶縁層33、34、35とこれらの間に位置する配線層36、37とからなる基板32には、図7に示すように、前記と同じ凹部38が形成され、かかる凹部38には、前記同様の埋込樹脂39を介して、複数のチップコンデンサ40aが内蔵されている。チップコンデンサ40aは、その両側面において上下端に突出し且つ基板32の表面34aまたは裏面35aに位置する電極41、42を対称に複数有する。尚、本実施形態において、基板32の表面とは、絶縁層34の表面34aまたは埋込樹脂39の表面を指し、基板32の裏面とは、絶縁層34の裏面35aを指す。

【0036】図7に示すように、凹部38の底面38aには、基板32の絶縁層35を貫通する複数のスルーホール導体60の上端に位置する配線層62が形成され、上記コンデンサ40aの電極42と個別に接続されている。各スルーホール導体60は、その下端で基板32の裏面35aに形成される配線層47と接続されている。尚、各スルーホール導体60の内側には、充填樹脂64が形成されている。更に、図7に示すように、基板32の表面34aの上方には、前記と同様に、配線層46、52、樹脂絶縁層48、54、ビア導体50、およびハンダバンパ(端子)58が形成され、且つ第1主面56にはICチップ29が実装可能とされている。また、基板32の裏面35aの下方にも、前記と同様に、配線層47、53、樹脂絶縁層49、55、ビア導体51、開口部57、および接続端子用の配線59が形成されている。

【0037】以上のような多層配線基板30aによれば、基板32の凹部38に内蔵したチップコンデンサ40aの電極41と第1主面56に実装されるICチップ

29との間には、配線層46、52、ビア導体50、およびハンダバンパ58からなる比較的短い導通経路が介在している。尚、チップコンデンサ40aの電極42は、第2主面55a側のマザーボードとの間に、配線層62、47、53、スルーホール導体60、およびビア導体51からなる導通経路を有する。このため、前記図8に示した従来の多層配線基板70に比べて、多層配線基板30aでも、電極41とICチップ29との間の導通経路におけるルーピングインダクタンスが低減する。この結果、スイッチングノイズやクロストークノイズが生じにくくなるなどの電気的特性が高められるので、チップコンデンサ40aやICチップ29を正常且つ高速度により動作させることができる。

【0038】本発明は、以上において説明した各形態に限定されるものではない。前記基板2、32内のコア基板(絶縁層)3、33の材質は、前記ガラスーエポキシ樹脂系の複合材料の他、ビスマレイミド・トリアジン(BT)樹脂、エポキシ樹脂、同様の耐熱性、機械強度、可撓性、加工容易性などを有するガラス織布や、ガラス織布などのガラス繊維とエポキシ樹脂、ポリイミド樹脂、またはBT樹脂などの樹脂との複合材料であるガラス繊維ー樹脂系の複合材料を用いても良い。あるいは、ポリイミド繊維などの有機繊維と樹脂との複合材料や、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂ー樹脂系の複合材料などを用いることも可能である。

【0039】また、前記貫通孔8や凹部38に内蔵する電子部品は、1つのみでも良い。逆に、多数の基板2、32を含む多数個取りの基板(パネル)内における製品単位1個内に、複数の貫通孔8や凹部38を形成しても良い。更に、複数のチップ状電子部品を互いの側面間で予め接着したユニットとし、これを前記貫通孔8または凹部38内に挿入し内蔵することもできる。また、チップ状電子部品には、前記チップコンデンサ10などの他、チップ状のインダクタ、抵抗、フィルタなどの受動部品や、トランジスタ、半導体素子、FET、ローノイズアンプ(LNA)などの能動部品も含まれると共に、互いに異種の電子部品同士を、基板2、32の同じ貫通孔8または凹部38内に併せて内蔵することも可能である。

【0040】更に、本発明の多層配線基板には、チップコンデンサ10などの電極がICチップ側のみで配線層と接続している多層配線基板、即ちマザーボード側では電極と配線層とが接続されていない形態の多層配線基板も含まれる。また、前記配線層16、17、スルーホール導体14などの材質は、前記Cuの他、Ag、Ni、Ni-Au等にしても良く、あるいは、これら金属のメッキ層を用いず、導電性樹脂を塗布する方法により形成しても良い。更に、前記樹脂絶縁層18、19などの材質は、前記エポキシ樹脂を主成分とするもののほか、同様の耐熱性、パターン成形性等を有するポリイミ

ド樹脂、BT樹脂、PPE樹脂、あるいは、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂などの樹脂を含浸させた樹脂-樹脂系の複合材料などを用いることもできる。尚、絶縁層の形成には、絶縁性の樹脂フィルムを熱圧着する方法のほか、液状の樹脂をロールコートにより塗布する方法を用いることもできる。尚また、絶縁層に混入するガラス布またはガラスフィラの組成は、Eガラス、Dガラス、Qガラス、Sガラスの何れか、またはこれらのうちの2種類以上を併用したものとしても良い。また、ビア導体は、前記フィルドビア導体20などでなく、完全に導体で埋まっていないコンフォーマルビア導体とすることもできる。

#### 【0041】

【発明の効果】以上において説明した本発明の多層配線基板によれば、従来の多層配線基板に比べ、基板に内蔵した電子部品の電極と第1主面に実装されるICチップなどとの導通経路を可及的に短くできる。この結果、かかる導通経路におけるループインダクタンスを低減できるため、スイッチングノイズやクロストークノイズを低減できるなどの電気的特性を高めることが可能となる。従って、内蔵した電子部品や実装されるICチップなどを正常且つ高速度にて動作させることができる。

#### 【図面の簡単な説明】

【図1】本発明の多層配線基板の1形態における主要部を示す断面図。

【図2】(A)～(D)は図1の多層配線基板の製造方法における主な工程を示す概略図。

【図3】(A)～(C)は図2(D)に続く主な製造工程を示す概略図。

【図4】(A)～(C)は図3(C)に続く主な製造工程を示す概略図。

【図5】(A)～(C)は図4(C)に続く主な製造工程を示

す概略図。

【図6】本発明の異なる形態の多層配線基板における主要部を示す断面図。

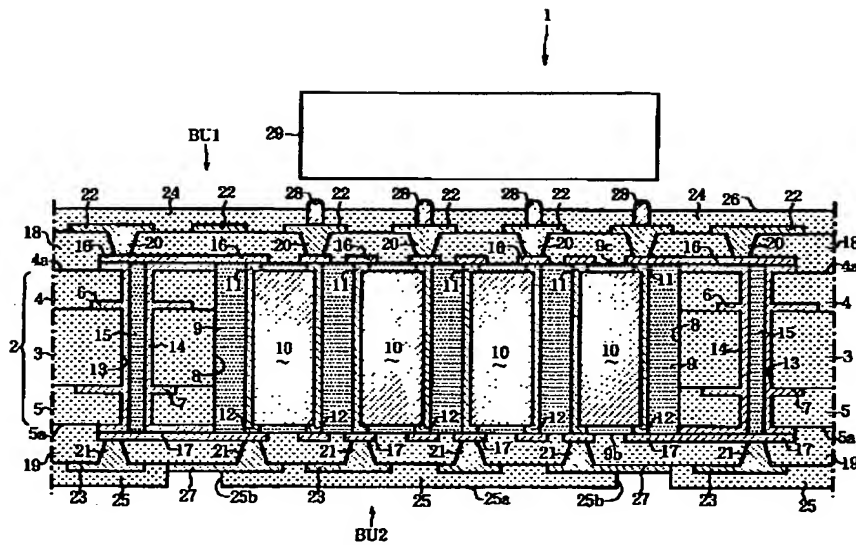
【図7】図6の多層配線基板の応用形態における主要部を示す断面図。

【図8】従来の多層配線基板における主要部を示す断面図。

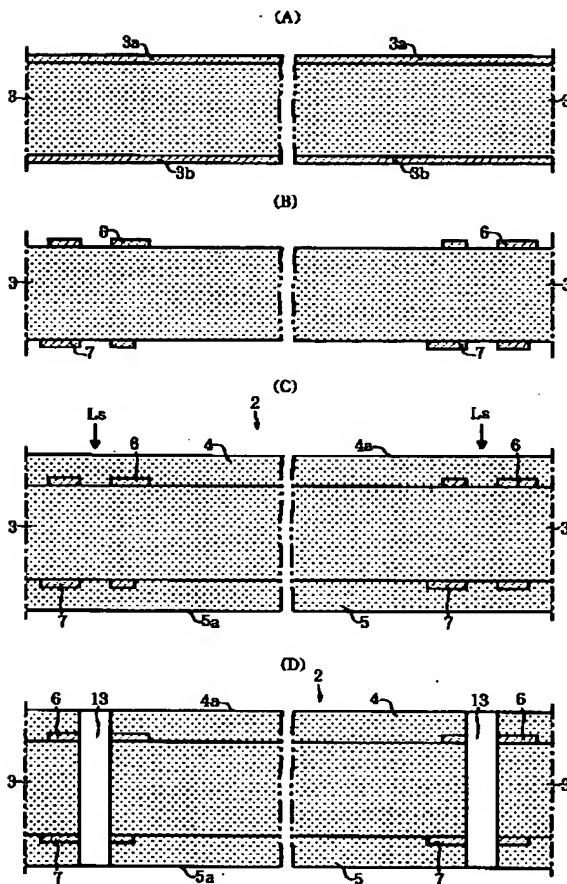
#### 【符号の説明】

1, 30, 30a	多層配線
10 基板	
2, 32	基板
3～5, 33～35	絶縁層
4a, 9c, 34a	表面
5a, 9b, 35a	裏面
6, 7, 16, 17, 22, 23, 36, 37, 46, 47, 52, 53	配線層
8	貫通孔
9, 39	埋込樹脂
10, 40, 40a	チップコンデンサ(電子部品)
20	
11, 12, 41, 42	電極
18, 19, 24, 25, 48, 49, 54, 55	樹脂絶縁層
26, 56	第1主面
28, 58	ハンダバンプ(端子)
29	ICチップ
38	凹部
30 BU1～BU4	ビルドアップ層

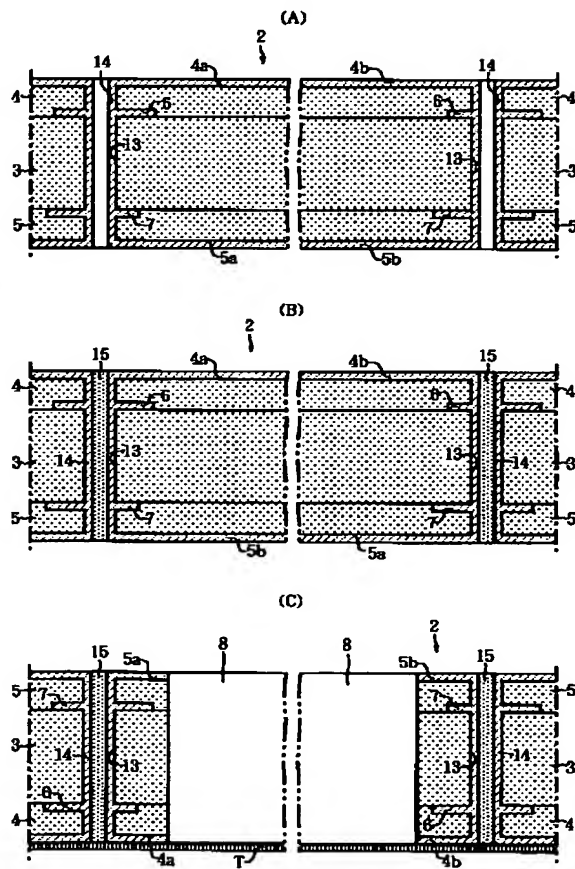
【図1】



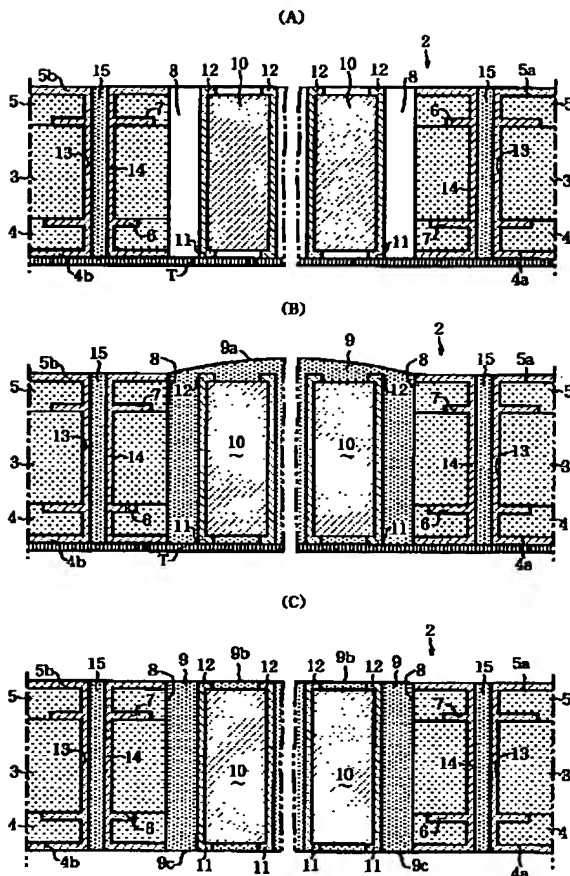
【図2】



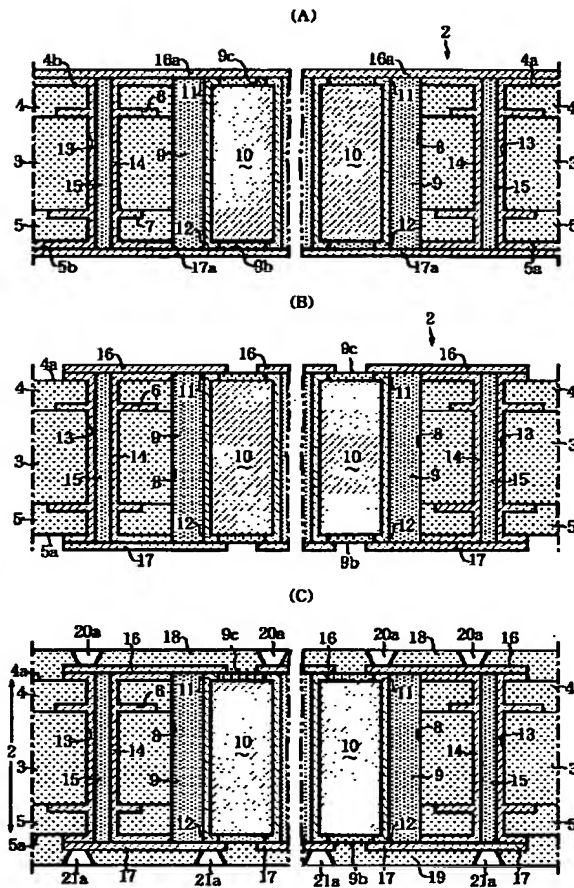
【図3】



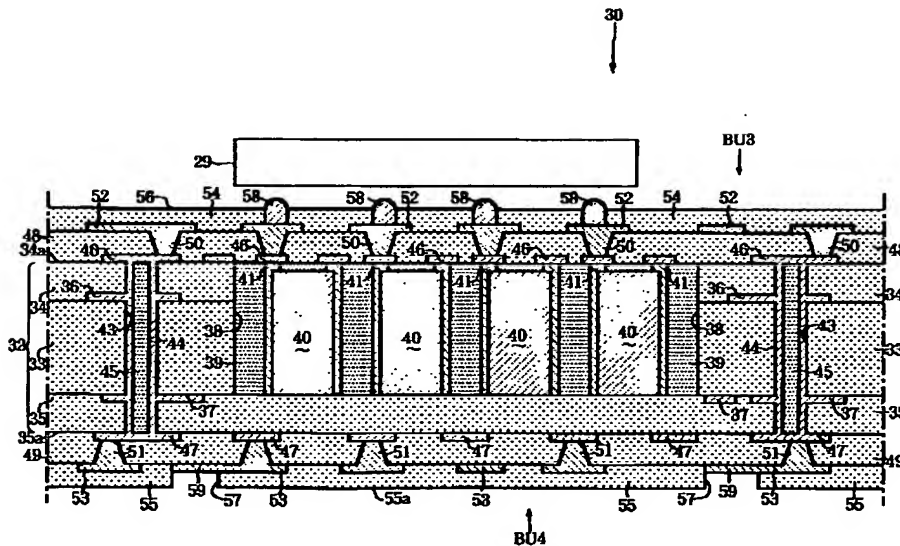
【図4】



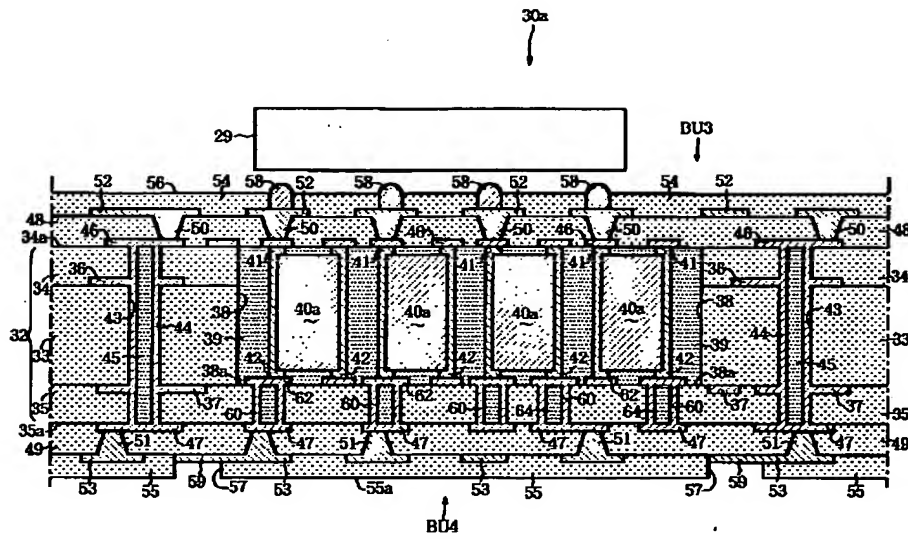
【図5】



【図6】



【図7】



【図8】

